

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-233266

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

G06F 9/06

G06F 11/28

(21)Application number : 04-030877

(71)Applicant : NEC HOME ELECTRON LTD

(22)Date of filing : 18.02.1992

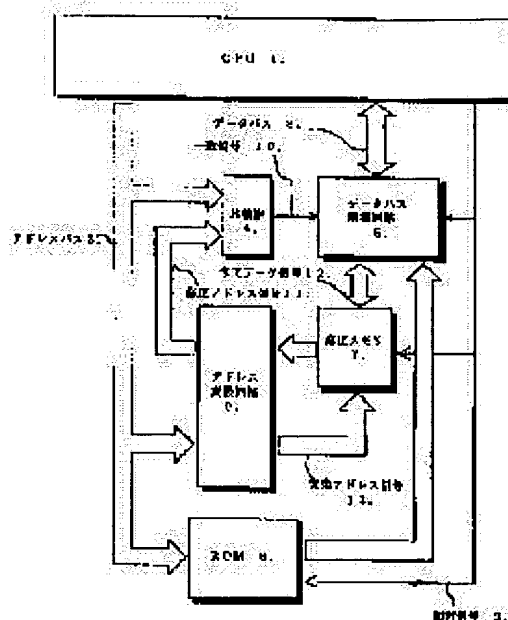
(72)Inventor : SHIMADA KOHEI

## (54) INFORMATION PROCESSOR

### (57)Abstract:

PURPOSE: To provide a CPU information processing system capable of inexpensively dealing with a program or data stored in a mask ROM without replacing or newly reforming the mask ROM even when a defect is included in the program or data.

CONSTITUTION: This information processing system is constituted of a CPU 1 for executing an instruction, a ROM 8 for storing a program or data, a correction memory 7 for storing a code for correcting the program or data stored in the ROM 8, an address conversion means 6 for storing a correction address and correction data in the memory 7 and converting a CPU address to an address corresponding to the correction data stored in the memory 7, a comparing means 4 for comparing the CPU address with a correction address, a data bus control means 5 for outputting the correction data to the CPU 1 when an execution address coincides with the correction address, a correction memory detecting means, a correction code input means, a correction memory writing means, a correction code detecting means, and a correction address setting means.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-233266

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 9/06  
11/28

識別記号

4 4 0 N 8944-5B  
3 3 0 B 9290-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数30(全 14 頁)

(21)出願番号 特願平4-30877

(22)出願日 平成4年(1992)2月18日

(71)出願人 000001937

日本電気ホームエレクトロニクス株式会社  
大阪府大阪市中央区城見一丁目4番24号

(72)発明者 嵩田 康平

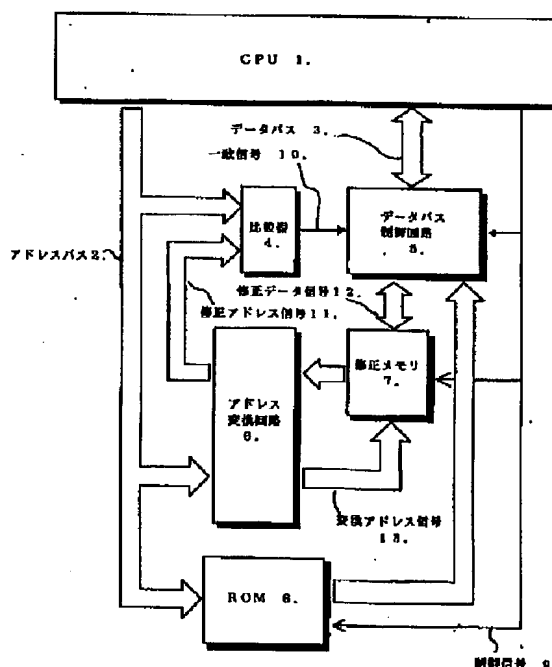
大阪府大阪市中央区城見一丁目4番24号日  
本電気ホームエレクトロニクス株式会社内

(54)【発明の名称】 情報処理装置

(57)【要約】

【目的】 マスクROM中に格納されたプログラムやデータに欠陥があっても、マスクROMを交換したり、新しく作り直すことなく、低コストで対応できる中央処理装置の情報処理方式を提供すること。

【構成】 命令を実行するCPU1と、プログラムやデータを格納したROM8と、ROM8のプログラムやデータを修正するためのコードを格納する修正メモリ7と、この修正メモリ7に修正アドレスと修正データを格納し、CPUアドレスを修正メモリ7中の修正データに対応するアドレスに変換するアドレス変換手段6と、CPUアドレスと修正アドレスを比較する比較手段4と、実行アドレスと修正アドレスが一致する場合にCPU1に修正データを出力するデータバス制御手段5と、修正メモリ検出手段と、修正コード入力手段と、修正メモリ書き込み手段と、修正コード検出手段と、修正アドレス設定手段とから構成されている。



## 【特許請求の範囲】

【請求項1】 命令を実行しデータを処理するCPU（中央処理装置）と、前記CPUの命令やデータを格納する第1のメモリと、前記第1のメモリの内容を修正するための1つまたは複数の修正アドレスと修正データから構成される修正コードを保持する第2のメモリと、前記CPUと前記第2のメモリに接続され、前記CPUが出力するCPUアドレスと前記修正アドレスを比較する比較手段と、前記CPUと前記第1のメモリと前記第2のメモリに接続されたデータバス制御手段とを具備し、前記比較手段によって前記修正アドレスと前記CPUアドレスが一致したことを検出した場合に、前記CPUが前記第1のメモリの前記CPUアドレスに対応する前記第2のメモリの修正データを前記CPUに供給し、前記修正アドレスと前記CPUアドレスが一致しないことを検出した場合には、前記第1のメモリ内容を前記CPUに供給することによって、選択的に前記第1のメモリ内容を修正して処理を実行することを特徴とする情報処理装置。

【請求項2】 請求項1による情報処理装置において、第2メモリ検出手段によって前記第2のメモリが装備されている状態を検出し、装備されていない前記第1のメモリ内容を前記CPUに供給することを特徴とする請求項1記載の情報処理装置。

【請求項3】 請求項2による情報処理装置において、前記第2メモリ検出手段が前記第2メモリに書き込まれた検査符号を調べることによって、前記第2メモリの装備状態を検出することを特徴とする請求項2記載の情報処理装置。

【請求項4】 請求項2による情報処理装置において、前記第2メモリ検出手段によって前記第2メモリがデータバスに出力した信号か、または前記データバスが出力した信号かを判別することで、前記第2メモリの装備状態を検出することを特徴とする請求項2記載の情報処理装置。

【請求項5】 請求項1による情報処理装置において、修正コード検出手段によって前記第2のメモリに書かれた内容を検査して、前記修正コードが書かれている場合には、前記比較手段によって前記修正アドレスと前記CPUアドレスを比較しながら処理を実行し、前記第2のメモリに前記修正コードが書かれていない場合には、前記第1のメモリの内容を前記CPUに供給することを特徴とする請求項1記載の情報処理装置。

【請求項6】 請求項5による情報処理装置において、前記修正コード検出手段によって前記第2のメモリに前記修正コードが書かれていることを、前記検査符号を調べることによって、検出することを特徴とする請求項5記載の情報処理装置。

【請求項7】 請求項1による情報処理装置において、前記第2のメモリに書き込むための前記修正コードを修

正コード入力手段によって入力することを特徴とする請求項1記載の情報処理装置。

【請求項8】 請求項7による情報処理装置において、前記修正コード入力手段が通信手段を使用して、前記修正コードを入力することを特徴とする請求項7記載の情報処理装置。

【請求項9】 請求項1による情報処理装置において、前記第1のメモリの内容に修正が必要であるときは、前記第1メモリに対する前記修正コードを、選択的に前記第2のメモリに書き込むための、修正コード書き込み手段を持つことを特徴とする請求項1記載の情報処理装置。

【請求項10】 請求項9による情報処理装置において、前記修正コード書き込み手段が前記第1メモリに対する前記修正コードを書き込む場合、前記検査符号を書き込むことを特徴とする請求項10記載の情報処理装置。

【請求項11】 請求項1による情報処理装置において、前記第2のメモリが不揮発性のメモリによって構成されることを特徴とする請求項1記載の情報処理装置。

【請求項12】 請求項1による情報処理装置において、少なくとも前記第1のメモリと前記第2のメモリを前記情報処理装置から脱着が可能な媒体に実装することを特徴とする請求項1記載の情報処理装置。

【請求項13】 請求項12による情報処理装置において、前記媒体に実装された前記第1のメモリと前記第2のメモリに加えて、さらに前記比較手段と前記データバス制御手段を前記媒体に実装することを特徴とする請求項12記載の情報処理装置。

【請求項14】 請求項13による情報処理装置において、前記媒体に実装された手段に加えて、さらに前記第2のメモリ検出手段と前記修正コード検出手段を前記媒体に実装することを特徴とする請求項13記載の情報処理装置。

【請求項15】 命令を実行しデータを処理するCPU（中央処理装置）と、前記CPUの命令やデータを格納する第1のメモリと、前記第1のメモリの内容を修正するための1つまたは複数の修正アドレスと修正データから構成される修正コードを保持する第2のメモリと、前記CPUに接続され、前記CPUが出力するCPUアドレスと前記修正アドレスを比較する比較手段と、前記CPUと前記第1のメモリと前記第2のメモリに接続されたデータバス制御手段と、前記第2のメモリに接続され、前記修正アドレスを読み出して保持し前記比較手段に出力するとともに、前記CPUが出力する前記CPUアドレスを、前記修正アドレスに対応する前記修正データが格納された前記第2のメモリの物理アドレスに変換して、前記第2のメモリに出力するアドレス変換手段とを具備し、

前記比較手段によって前記修正アドレスと前記CPUアドレスが一致したことを検出した場合に、前記CPUが前記第1のメモリの前記CPUアドレスに対応する前記第2のメモリの前記修正データを前記CPUに供給し、前記修正アドレスと前記CPUアドレスが一致しないことを検出した場合には、前記第1のメモリ内容を前記CPUに供給することによって、選択的に前記第1のメモリ内容を修正して処理を実行することを特徴とする情報処理装置。

【請求項16】請求項15による情報処理装置において、第2メモリ検出手段によって前記第2のメモリが装備されている状態を検出し、装備されていない前記第1のメモリ内容を前記CPUに供給することを特徴とする請求項15記載の情報処理装置。

【請求項17】請求項16による情報処理装置において、前記第2メモリ検出手段が前記第2メモリに書き込まれた検査符号を調べることによって、前記第2メモリの装備状態を検出することを特徴とする請求項16記載の情報処理装置。

【請求項18】請求項16による情報処理装置において、前記第2メモリ検出手段によって前記第2メモリがデータバスに出力した信号か、または前記データバスが出力した信号かを判別することで、前記第2メモリの装備状態を検出することを特徴とする請求項16記載の情報処理装置。

【請求項19】請求項15による情報処理装置において、修正コード検出手段によって前記第2のメモリに書かれた内容を検査して、前記修正コードが書かれている場合には、前記比較手段によって前記修正アドレスと前記CPUアドレスを比較しながら処理を実行し、前記第2のメモリに前記修正コードが書かれていない場合には、前記第1のメモリの内容を前記CPUに供給することを特徴とする請求項19記載の情報処理装置。

【請求項20】請求項19による情報処理装置において、前記修正コード検出手段によって前記第2のメモリに前記修正コードが書かれていることを、前記検査符号を調べることによって、検出することを特徴とする請求項19記載の情報処理装置。

【請求項21】請求項15による情報処理装置において、修正アドレス設定手段によって、前記第2のメモリに書き込まれた前記修正コードの中から、前記修正アドレスを読み出して前記アドレス変換手段に設定することを特徴とする請求項15記載の情報処理装置。

【請求項22】請求項15による情報処理装置において

て、前記第2のメモリに書き込むための前記修正コードを修正コード入力手段によって入力することを特徴とする請求項15記載の情報処理装置。

【請求項23】請求項22による情報処理装置において、前記修正コード入力手段が通信手段を使用して、前記修正コードを入力することを特徴とする請求項22記載の情報処理装置。

【請求項24】請求項15による情報処理装置において、前記第1のメモリの内容に修正が必要であるときは、前記第1のメモリに対する前記修正コードを、選択的に前記第2のメモリに書き込むための、修正コード書き込み手段を持つことを特徴とする請求項15記載の情報処理装置。

【請求項25】請求項24による情報処理装置において、前記修正コード書き込み手段が前記第1メモリに対する前記修正コードを書き込む場合、前記検査符号を書き込むことを特徴とする請求項24記載の情報処理装置。

【請求項26】請求項15による情報処理装置において、前記第2のメモリが不揮発性のメモリによって構成されることを特徴とする請求項15記載の情報処理装置。

【請求項27】請求項15による情報処理装置において、少なくとも前記第1のメモリと前記第2のメモリを前記情報処理装置から脱着が可能な媒体に実装することを特徴とする請求項15記載の情報処理装置。

【請求項28】請求項27による情報処理装置において、前記媒体に実装された前記第1のメモリと前記第2のメモリに加えて、さらに前記アドレス変換手段と前記比較手段と前記データバス制御手段を前記媒体に実装することを特徴とする請求項27記載の情報処理装置。

【請求項29】請求項28による情報処理装置において、前記媒体に実装された手段に加えて、さらに前記第2のメモリ検出手段と前記修正コード検出手段と前記修正アドレス設定手段を前記媒体に実装することを特徴とする請求項28記載の情報処理装置。

【請求項30】請求項15による情報処理装置において、前記修正データの無い場合は、前記第2のメモリを前記アドレス変換手段とともにキャッシュメモリとして動作させ、前記修正データがある場合は前記修正データを前記第2のメモリの一部の領域に常駐させて前記第1のメモリを修正する動作を行い、残りの前記第2のメモリの領域をキャッシュメモリして動作させることを特徴とする

10

20

30

40

50

る請求項15記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は情報処理装置に関し、特にROMに書かれたプログラムやデータを処理する情報処理装置に関する。

【0002】

【従来の技術】近年の半導体技術の急速な進歩に伴い、より大規模なメモリが製造されるようになった。このため4MbitのダイナミックRAMや16Mbitのマ  
スクROMなどもすでに実用化されている。またマイクロプロセッサについても急速に進歩し、32bitマイ  
クロプロセッサも一般的に使用され、数Mバイトの主記憶を持ち、しかも小型の装置でバッテリー動作が可能  
であり、手軽で持ち運びができるほどの大きさのパーソナルコンピュータなどの情報処理装置も市販され、し  
かも個人で購入できる程低価格になっている。

【0003】このような装置は、コンピュータの専門知識がない人にも簡単に使用できるような、ユーザーインタ  
フェースに優れた高度なソフトウェアが必要になる。例  
えば、複雑な命令を装置に入力する代わりに、アイコンと呼ばれる絵文字を使用したり、ウィンドウと呼ば  
れ、装置が実行する複数のプログラムの実行状況をあたかも紙が折り重なったように表示して、人間の認識能力  
に訴えかけて使用者の使い勝手を向上させたり、さらに自然画や音も一つの情報として処理するマルチメディア  
なども使用されようとしている。

【0004】さらにひらがなの文字列を漢字の熟語に変換したり、日本語の単語を英語に変換する和英辞書や、  
その逆の英和辞書など情報処理装置にのせるべき情報量は非常に多く、また多いほど使用し易いことになる。

【0005】これらの状況から装置が処理しなければならない情報量や、プログラムの規模は増加する一方である  
上、しかもそれをできるだけ小型にして身近における装置であることが要求されている。したがって、これを  
処理するプログラムやデータを情報処理装置に搭載する上で、安価にしかも量産性に優れた一つの方法として、  
マスクROMに書き込むことが考えられる。

【0006】そして、このマスクROMを装置内部に高密度で実装したり、メモ리카ードに実装して情報処理装  
置に挿入して実行させたりして、より使いやすい装置にしようとする試みがなされている。

【0007】マスクROMが使用される理由は、容量、速度、消費電力、価格、量産性、物理的な大きさなどの  
点で優れているからである。当然書き換えが不可能であるが従来の技術状況においては、総合的に見て選択肢  
として優れたものであった。

【0008】ところが半導体技術の急速な進歩によって、新たな問題点が発生し、マスクROMの利点を損な  
うような事態が起こりつつある。

【0009】それは、マスクROM等へ書き込まれたソフトウェアやデータの欠陥（バグ）を発見することが次第に  
困難になっていることである。その原因は、ソフトウェアの規模が大きくなるに従い、加速度的に複雑さを  
増す中で、ソフトウェアをテストするのが人手に頼るほかになく、確実に欠陥を除去できる確立された手法がない  
ためである。

【0010】もし、マスクROMへ書き込まれ、大量に製造された後に、この欠陥が発見されると、当然ながら装置に使用することは出来ず多大な損失を被ることになる。  
さらにそのマスクROMが装置に組み込まれて、製品として市場に流通した後であれば、装置の回収と修理  
には莫大な費用が必要になる。

【0011】さらにその欠陥を修正したソフトウェアを新たにマスクROMへ書き込むには、これを製造するた  
めに所定の期間が必要である為、ソフトウェアの欠陥が発見されても即座にこれを修正した装置を供給するこ  
とは出来ない。従って、この装置の利用者はその事態が改善されるまで不具合を我慢しなければならないこと  
になる。

【0012】そこで従来の情報処理装置において、マスクROMとフロッピーディスクやハードディスクを併用  
した装置では、以下のような手段で、マスクROMのプログラム欠陥に対処していた。

【0013】その手段は、マスクROMへ書き込むソフトウェアの構造として、このマスクROM中の主要なル  
ーチンを実行する時に、そのルーチンをマスクROM中から直接コールせずに、一旦プログラムの制御をRAM  
上に移し、改めてマスクROMのルーチンを実行するようにしておくことである。

【0014】この例を図4に示す。この手順は次のようなものである。

【0015】＜第1ステップ（1）＞まずこの情報処理装置を制御する基本プログラム（OS）が、実行するマ  
スクROMのプログラムの各ルーチンの先頭アドレスにジャンプする命令を、装置内のRAMのワークエリアに  
書き込む。例えばルーチンBへのジャンプ命令をZ番地に書き込む。

【0016】＜第2ステップ（2）＞基本プログラムの処理が終了し、マスクROMのプログラムを実行するた  
めアドレスX番地のルーチンAを実行する。

【0017】＜第3ステップ（3）＞ルーチンAの処理を終了し、RAM領域のZ番地へのジャンプ命令を実行  
する。

【0018】＜第4ステップ（4）＞RAM上のZ番地に基本プログラムによって書かれたジャンプ命令を実行  
し、マスクROM内のY番地のルーチンBを実行する。

【0019】前記のような手順をあらかじめマスクROMへ書き込んでおく。この状態でルーチンBの中にプロ  
グラム欠陥が発生した場合の対策を図5に示す。

【0020】<第1ステップ(1)>フロッピーディスクやハードディスクに修正したルーチンB'を書き込んでおき、基本プログラム(OS)がこの修正したルーチンB'を読み出して、Z番地以降のRAMにコピーするように動作させる。これでZ番地にY番地へのジャンプ命令は書き込まれない。

【0021】<第2ステップ(2)>次に基本プログラムの処理が終了し、アドレスX番地のルーチンAの実行を行う。

【0022】<第3ステップ(3)>ルーチンAの処理を終了し、RAM領域のZ番地へのジャンプ命令を実行する。

【0023】<第4ステップ(4)>RAM上のZ番地に基本プログラムによって書かれた修正されたルーチンB'を実行する。これでマスクROMのルーチンBは実行されない。

【0024】このように装置全体を管理する基本プログラム(OS)を修正してフロッピーディスクやハードディスクに書き込めば、欠陥のあるマスクROMのルーチンを経由せずにプログラムを実行できるので、マスクROMのプログラム欠陥に対応することができる。

【0025】

【発明が解決しようとする課題】しかしこの対策には限界がある。それは装置のRAMの容量には限度があり、全てのマスクROMのルーチンにこの対策を施すわけには行かない。そこでこの対策ができるルーチンの数は限られることになる。もしRAM領域を経由しないマスクROMのルーチン内で、プログラム欠陥があると、これを修正することが不可能である。また、例えば1つの番地の修正であっても、そのルーチンごとRAMにコピーする必要があるため、RAM容量の少ない装置ではRAMのワークエリアが減少し、ソフトウェアの動作に支障が出ることも考えられる。

【0026】またこの対策では、RAM領域にジャンプ命令の挿入を挿入する処理は本来のプログラムでは不要であり、コードサイズを増加させルーチンのつながりも複雑になるため、ソフトウェア構造に影響して、ソフトウェア作成の際に人為的なエラーを発生する原因になる欠点がある。

【0027】さらにこの対策は、フロッピーディスクやハードディスクなどの装置が使用できない装置では、実現不能な欠点がある。これはより可搬性の優れた装置を実現しようとした場合に、機械的な構造をとまってしかも消費電力の大きなフロッピーディスクやハードディスクなどは装置実現の制約になる。そこで情報交換媒体として、形状が小型で消費電力の小さな半導体メモリを用いたICカードを使用する装置が小型化に有利であるが、この場合には、前記の手段では修正できないことになる。

【0028】また上記のフロッピーディスクやハードデ

ィスクを使用し、ジャンプ命令をRAM領域に挿入してROM領域のソフトウェア欠陥を回避する手段を、RAM領域にEEPROM(Electrically Erasable PROM)などの不揮発性メモリを使用することによって、実現することも考えられるが、結局前記と同じ欠点を持つことになる。またROM領域にソフトウェア欠陥が無かった場合でもこのEEPROMを取り去ることはできない。

【0029】またマスクROMに変えてEEPROMなどの不揮発性メモリを使用することによって、プログラム欠陥が発生した場合に問題の場所を書き換える手段が考えられるが、このメモリは同一の半導体技術によって製造されるマスクROMよりも、同一のチップ上に載せられるビット数が小さくなり、コスト高になる欠点がある。例えばフローティングゲートのMOSトランジスタを使用した電氣的に書き込みが可能なEEPROMは、マスクROMより一つのチップの容量が少ない。このため、1個のマスクROMに収納できるプログラムやデータは2個以上のEEPROMを使用しなければならずコスト高となる。またこれは部品実装の面からも、装置内に収容できる物理的な容量の小さな装置では、この手段を実現するのに大きな制約となる。

【0030】また、EEPROMを使用するとしても、ソフトウェア欠陥がメモリのどの領域になるか事前に予測できないので、部分的に使用することはできず、マスクROMと全面的に変えなければ意味がないので、価格的な犠牲が多すぎることになり採用することは困難であった。

【0031】すなわち、従来の技術によるマスクROMを使用した情報処理装置においては、このマスクROM中に格納されたプログラムやデータに欠陥があっても、これを修正することは、装置を修理してマスクROMを交換したり、マスクROMを新しく作りなおす必要があり、長い時間と費用を必要とした。

【0032】以上説明したように、従来の情報処理装置ではマスクROMの修正対策が不可能な場合があったり、効果に制限を受けたり、コスト高になる欠点があった。

【0033】それ故に、本発明の目的は、装置のマスクROM中に格納されたプログラムやデータに欠陥があっても、装置を修理してマスクROMを交換したり、マスクROMを新しく作りなおす必要がなく、安い費用でソフトウェア欠陥を迅速に修正でき、フロッピーディスクやハードディスクなどが使用できない、小型で消費電力の少ない装置であっても採用しやすく、しかもソフトウェア構造に制限を付けず、修正できる領域に制限されることはなく、修正のために余分なコードを必要とせず、修正が不要になればコストを低減できる柔軟性に優れた中央処理装置の情報処理装置を提供することにある。

【0034】

【課題を解決するための手段】従って、本発明は上述の目的を達成するために、命令を実行するCPUと、プログラムやデータを格納したROMと、ROMのプログラムやデータを修正するためのコードを格納する修正メモリと、この修正メモリに修正アドレスと修正データを格納し、CPUアドレスを修正メモリ中の修正データに対応するアドレスに変換するアドレス変換手段と、CPUアドレスと修正アドレスを比較する比較手段と、実行アドレスと修正アドレスが一致する場合にCPUに修正データを出力するデータバス制御手段と、修正メモリ検出手段と、修正コード入力手段と、修正メモリ書き込み手段と、修正コード検出手段と、修正アドレス設定手段から構成されている。

#### 【0035】

【作用】本発明によれば、修正メモリ検出手段が、装置上に修正メモリが実装されているかどうかを検出し、実装されていなければROMの内容をそのまま実行する非修正モードの動作をする。このためROMコードの修正が不要になった時点で、修正メモリを装置に実装しただけで、回路やプログラムの変更なしにROMのプログラムを動作させることができる。

【0036】修正コード入力手段は、修正メモリの内容を修正する必要がある場合に、装置に修正アドレスと修正コードから成る修正コードを入力し、修正コード書き込み手段が修正コードを修正メモリに書き込んでおく。この状態で修正コード検出手段が、修正メモリに修正コードが書き込まれているかどうかを検査し、修正コードが書き込まれていなければ、非修正モードとして動作し、修正コードがあればROMコードをCPUの命令実行時に修正して実行する修正モード動作に入るため、修正アドレス設定手段を起動する。

【0037】修正アドレス設定手段は修正メモリから修正アドレスを取り出して、アドレス変換手段にロードした後、ROMのプログラムに制御を渡す。アドレス変換手段は修正アドレスを比較手段に出力するとともに、CPUの実行アドレスを入力し、それを修正メモリ中の修正データに対応する物理アドレスに変換して、修正メモリがCPUの実行アドレスに対応する修正データを読み出せるようにする。こうしてCPUがROMから読み出した命令コードを読み出してプログラムの実行を開始する。

【0038】ここで、もしROMから読み出した命令コードや処理データに誤りがなければ、比較手段で比較するCPUアドレスと修正アドレスが一致しないので、CPUはROMの命令コードや処理データを実行する。またROMから読み出した命令コードや処理データに誤りがあり、修正が必要なアドレスの場合には、比較手段で比較するCPUアドレスと修正アドレスが一致するので一致信号を、データバス制御手段に出力する。

【0039】データバス制御手段はこの信号を受ける

と、修正メモリからの修正データをCPUに出力してROMのデータを無視する。この結果CPUには修正されたデータが読み出されることになり、本来ROMに格納されていたプログラムやデータの処理は行わないことになる。

【0040】すなわち本発明の情報処理装置によれば、プログラム欠陥があり修正の必要があるソフトウェアルーチンにおいて、処理データの一部分だけを修正メモリに書き込むだけで、ROMのソフトウェアを部分的に修正して実行することができる。

#### 【0041】

【実施例】図1は本発明の一実施例であって以下図面を参照して説明する。

【0042】まず、図1について説明する。1はCPU（中央処理装置）、2はアドレスバス、3はデータバス、4は比較器、5はデータバス制御回路、6はアドレス変換回路、7は修正メモリ、8はROM、9は制御信号、10は一致信号、11は修正アドレス信号、12は修正データ信号、13は変換アドレス信号である。

【0043】CPU1はアドレスバス2によって、実行する命令や処理するデータのアドレスを出力し、データバス3によってROM8から命令やデータを読み出したり、RAMや通信インタフェース等の周辺装置（図示せず）にデータを書き込む動作をする。データバス制御回路5はROM8と修正メモリ7に接続され、これから読み出されたデータをCPU1に送出したり、CPU1の書き込みデータを修正メモリ7に送出する。

【0044】修正メモリ7はデータバス制御回路5及びアドレス変換回路6に接続され、ROM8に対する修正データと、この修正データをCPU1のアドレス空間にマップする修正アドレスを書き込むことができる不揮発性のメモリである。そして変換アドレス信号13に対応する修正データを修正データ信号12として、データバス制御回路5に出力する。

【0045】アドレス変換回路6は修正メモリ7に書き込まれている修正アドレスを取り出して保存するとともに比較器4に出力して、CPU1がアドレスバス2によって送出したCPUアドレスと、比較器4で逐一比較する。もしこの2つのアドレスが一致するとデータバス制御回路5に一致信号10を出力する。一方、アドレス変換回路6はCPU1が出力したCPUアドレスに対応する修正メモリ7中の修正データをアクセスするように、計算して変換アドレス信号13を修正メモリ7に出力する。こうして読み出された修正メモリ7の修正データはデータバス制御回路5を通じてCPU1に送出する。

【0046】以上のようにして、CPU1は実行するアドレスのうち、必要なものだけを修正して実行することになる。

【0047】この結果、図3に示すように、修正メモリ空間に書き込まれた修正コード中の修正アドレスによっ

10

20

30

40

50

て、指定されたCPUのアドレス空間の先頭番地から、修正コードのデータ数によって指定された長さの修正データがマッピングされることになる。

【0048】次に、図2のフローチャートについて説明する。上記の動作を行うにあたっては前処理が必要になる。この処理は、装置の動作が開始すると、修正メモリ検出手段14が装置上に修正メモリ7が実装されているかどうかを調べる。実装されていない場合には、CPU1が実行しようとするソフトウェアのコードが入っているROM8の内容に欠陥がないと判断して、CPU1がアドレスバス2によってCPUアドレスを出力し、ROM8から命令コードや処理データを取り出し、データバス制御回路5とデータバス3を通じてCPU1に出力して実行する非修正モードの動作を行う。またこの時データバス制御回路5は常にROM8の信号をCPU1に送る動作をする。

【0049】また、修正メモリ検出手段14が修正メモリ7が実装されていることを検出する手段としては、修正データ信号12のバスを抵抗などでプルアップしておき、CPUが読み出した修正メモリ内容が全ビット“1”でないことを利用して検出する手段や、図3のように修正メモリに検査符号19を書き込んでおく手段が考えられる。

【0050】この検査符号19としては、修正メモリに書き込む全てのワードのパリティを偶数か奇数にするコードとする手段や、生成多項式の符号を用いたCRC方式(Cyclic Redundancy Check)等がある。

【0051】このようにして修正メモリ7が実装されていることが確認されれば、修正コード入力手段15が修正コードの入力があるかどうかを検査して、もし必要があれば修正コードを入力する。この入力、例えばキーボードやRS-232Cやモデムを経由した通信回線(何れも図示せず)等の入力装置を通じて入力することができる。

【0052】修正コード書き込み手段16によって修正メモリ7に修正アドレス、修正データや検査符号19等からなる修正コードを書き込む。この修正コードは修正メモリ2が不揮発性メモリであるため、装置の電源を切っても保存することができ、一度修正すれば以後修正の必要はない。もし修正コードの入力がなければ、修正コード検出手段17に制御を渡す。

【0053】修正コード検出手段17は、修正メモリ7中にROMコードのデータを修正するための修正アドレスと修正データがあるかどうかを検査符号19を使用して検査する。もしこのコードが修正メモリ7にあれば、修正アドレス設定手段18に制御を渡す。もし修正コードがなければ前記の非修正モードに入る。

【0054】修正アドレス設定手段18は修正メモリ7から修正アドレスを取り出して、アドレス変換回路6に

設定した後、ROM8のプログラムに制御を渡す。このようにしてCPU1がROM8から読み出した命令コードを読み出してプログラムの実行を開始する。

【0055】すると、まずCPU1.がROM8.に書かれた命令やデータを読み出すため、アドレスバス2.にCPUアドレスを出力する。ROM8.はこのCPUアドレスに格納されているデータを読み出してデータバス制御回路5.に出力する。

【0056】またアドレス変換回路6.は修正アドレス信号11.を比較器4.に出力するとともに、CPU1.のCPUアドレスが入力されると、内部に蓄えた修正アドレスを使用して、CPUアドレスを修正メモリ7.中にある修正データの物理アドレスに変換する。このCPUアドレスに対応する修正メモリ7.内の物理アドレスは変換アドレス信号13.として修正メモリ7.に出力する。修正メモリ7.は対応する修正データを取り出し、修正データ信号12.としてデータバス制御回路5.に出力する。

【0057】一方、比較器4.はCPU1.のCPUアドレスと、アドレス変換回路6.に格納された修正アドレスとデータ数から修正データと置き換えるアドレスの範囲を調べて比較する。もしCPUアドレスがこのアドレスの範囲内にある場合には、一致信号10.をデータバス制御回路5.に出力する。この信号によってデータバス制御回路5.は修正メモリ7.から出力された修正データ信号12.データをデータバス3.を通じてCPU1.に出力する。

【0058】その結果、CPU1.が修正データの無い場所のアドレスを読み出した場合には、ROM8.のデータがCPU1.に読み出されて処理される。また、CPU1.が修正データのあるアドレスを読み出すと修正メモリ7.の修正データがCPU1.に読み出されて処理されることになる。

【0059】なお、修正アドレス設定手段18.が、修正メモリ7.の修正データをアドレス変換回路6.に書き込む処理は、CPU1.が修正データを読み出して、アドレス変換回路6.に書き込むように、ソフトウェア制御によって処理しても構わない。この場合は、アドレス変換回路6.にデータバス3.と制御信号9.が接続されることになる。

【0060】さらに、データバス制御回路5.はマルチプレクサで構成しても、また修正メモリ7.とROM8.をデータバス3.に接続して、それぞれの出力バッファを制御して必要なデータを取り出すように構成しても構わない。

【0061】またアドレス変換回路6.は全ての修正アドレスを持てるだけの内部レジスタ容量があってもよく、あるいはCPU1.のアドレス空間を分割して、修正アドレスを部分的に持ち、ページングしながら実行するようにして、アドレス変換回路6.の内部レジスタ容

10

20

30

40

50

量を制限して回路規模を小さくするようにしても構わない。

【0062】修正メモリ7.については、修正データを読み出すためのアクセス時間がROM8.に比べて長くなるのが問題であるような場合、高速のものが要求されるが、不揮発性メモリの高速のものは品種が少ないため、修正メモリ7.から読み出された修正データ信号12.を蓄えるキャッシュメモリを追加してもよい。こうすれば修正メモリ7.としてアクセス時間が遅い安価なシリアル形式でデータを出力する不揮発性メモリを使用した場合でも、読み出したデータをシリアル-パラレル変換を行ってキャッシュメモリに蓄えれば、CPU1.のバス幅が16ビットや32ビットのものであっても同じように使用することができる。

【0063】さらに修正データがない場合には、本来のキャッシュメモリとして使用し、CPUのメモリアクセスを高速で行い、修正データがある場合はキャッシュメモリの一部に修正データを常駐させたままにして、ヒットしなかった場合に修正データの領域を書き換えないようにすれば、この方式を高速なCPUのシステムでも適用することができる。

【0064】また図2の処理については、ソフトウェア的な処理によって実施するように説明したが、この処理は、CPU1.がROM1.内に書かれた処理プログラムとして実行してもよく、また別のCPUによって処理しても構わない。さらに論理回路で処理しても構わない。この場合は図2の各ルーチンは同じ機能の各機能ブロックに相当し、制御の流れは各信号に相当する。

#### 【0065】

【発明の効果】以上のように、本発明による情報処理方式によれば、中央処理装置(CPU)によって命令コードやデータをマスクROMから読み出す場合に、ソフトウェア欠陥のある領域では、修正メモリの内容をCPUに与えることで、ソフトウェア欠陥を回避してプログラムの実行を行うことができる。しかもフロッピーディスクやハードディスクを使用する必要がないので、これらの装備ができない小型の装置や、消費電力の制限の強い装置であっても、不揮発性メモリという、他の半導体回路との実装と整合が取り易い手段で構成されるので、追加することの負担は少ない。

【0066】この方式によれば、修正メモリの容量以内であれば、マスクROM領域のどの部分に欠陥があっても修正することができ、しかもマスクROMにソフトウェアを書き込む際にそのアルゴリズムや、実行アドレスやデータ構造に制限を与えないので、ソフトウェア設計の負担にならない。

【0067】その上、修正メモリに対応するために、本来なら必要ない命令コードを挿入させる必要がないため、ソフトウェアのコードサイズに変化がなく、1つのマスクROMに収まるコードが入らなくなる問題が発生

することもない。さらに、実行するソフトウェアにリアルタイム性が要求され、実行速度が変化することが許されない場合であっても、修正メモリ速度をマスクROM速度と合わせることで、マスクROMコードの訂正を行うことができる。

【0068】また、この修正メモリは回路的に独立しており、必要がなければ取り去ることもできるので、マスクROMの内容がまだ十分テストされていない内は、ソフトウェア欠陥が発生した場合に備えて装置に修正メモリを実装しておき、ソフトウェアに実績が出てマスクROMのプログラムに欠陥が出る恐れが無くなった時点で、装置の修正メモリの容量を減らしたり、修正メモリを実装することを取り止めることができる。これによって他の回路やプリント基板やソフトウェアの修正を必要とせず、装置のコストを低減することが可能である。すなわちソフトウェアの訂正の能力と、装置コストのトレードオフが可能であり、装置の製造者にとって選択の余地が増加する利点がある。

【0069】しかもマスクROM中で修正を行うアドレスとデータを適当な形式で修正メモリに入れておけばよいので、プログラムやデータの訂正に必要な容量ですみ、修正の必要のない部分はマスクROMの内容を使用できるので、マスクROM全体のコードが使用できない事態以外は、修正メモリの容量はマスクROMに比較して十分小さいものでよい。経験的にソフトウェア欠陥は、プログラムのごく部分的な処理の不具合によることが知られており、プログラム全体が使用できないという可能性は考慮する必要がないほど低いので、実用的にはマスクROMの容量の数分の1以下の容量で十分と考えられる。

【0070】例えば、16MbitのマスクROMと64KbitのEEPROMをICカード上に実装してプログラムをマスクROMに書き込んでおけば、もしマスクROMのプログラムにバグが発生した場合や、特定番地の内容が読み出せなくなった場合でも、EEPROMに修正アドレスと修正データを書き込むことによって、問題なく使用できるようになる。EEPROMの容量は、ソフトウェアの設計時点で、どの程度のソフトウェア欠陥対策を行うか、新規開発の規模によって容量を64Kbit、256Kbit、1Mbitなど選択することができる。

【0071】そしてこの装置やICカードが市場に流通し、ユーザーに使用されるようになった状態で、ソフトウェア欠陥が発生しても、製造者は前記の方法で修正コードをユーザーに配布すれば、あたかもフロッピーディスクの内容を修正するように、バグの修正をすることができる。この修正コードの配布は、装置にモデムが装備されていれば、通信回線で行うことも可能なのでメンテナンスも容易になる。またマスクROMに修正の必要が無いと判断できれば、それ以降の装置やICカードの製

造の際、EEPROMを実装しないでおけばよい。

【0072】従って本発明による方法によれば、装置やICカードのマスクROMの全体を不揮発性メモリで置き換える必要がなく、メンテナンスが容易でコスト的にも実装面でも有利な特徴がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明の処理方法を示したフローチャートである。

【図3】本発明によるメモリマップ図である。

【図4】従来技術によるマスクROMの修正方法である。

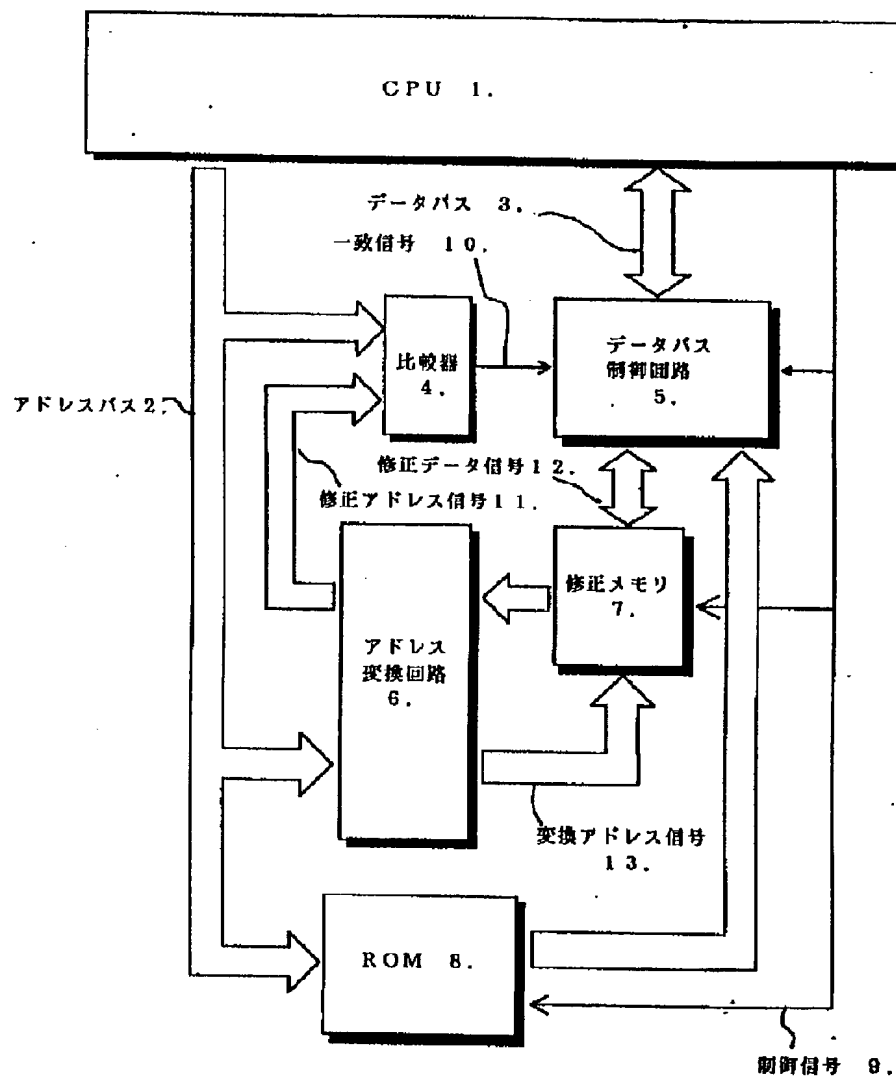
【図5】従来技術によるマスクROMの修正方法である。

【符号の説明】

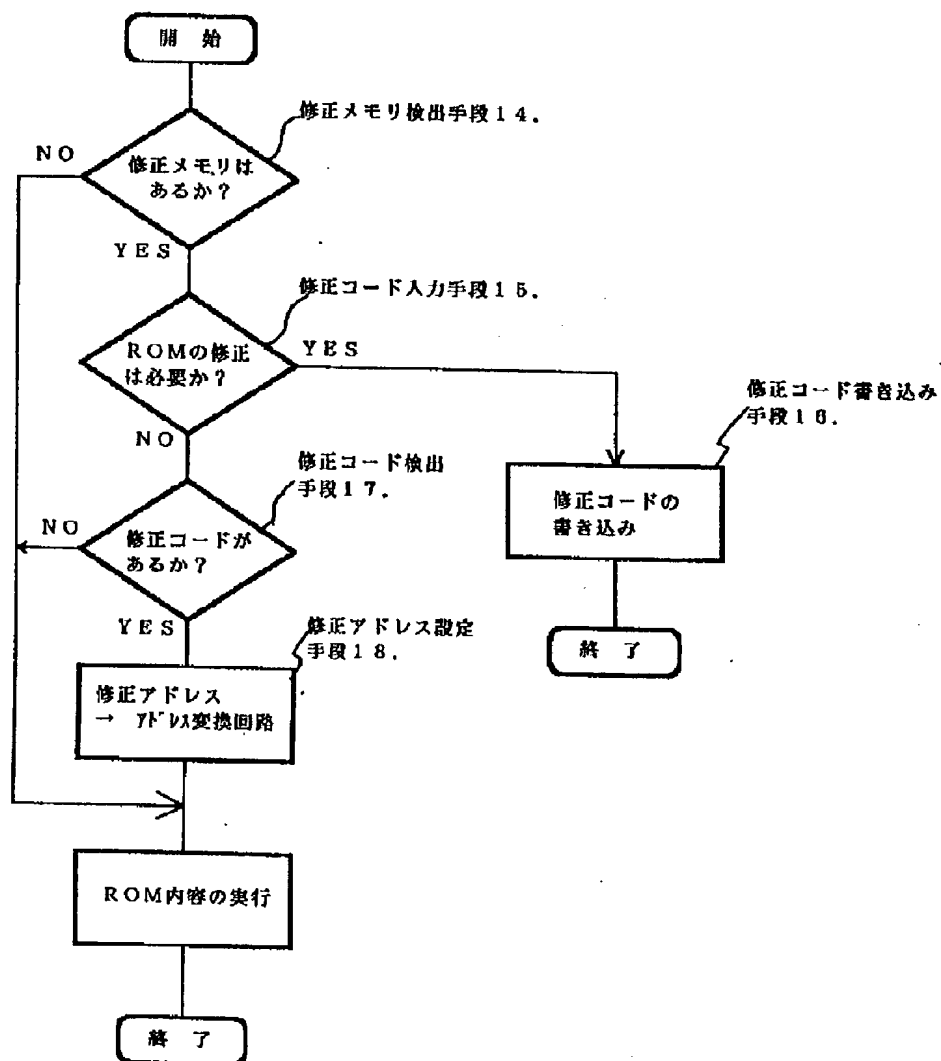
- 1 CPU (中央処理装置)
- 2 アドレスバス

- 3 データバス
- 4 比較器
- 5 データバス制御回路
- 6 アドレス変換回路
- 7 修正メモリ
- 8 ROM
- 9 制御信号
- 10 一致信号
- 11 修正アドレス信号
- 12 修正データ信号
- 13 変換アドレス信号
- 14 修正メモリ検出手段
- 15 修正コード入力手段
- 16 修正コード書き込み手段
- 17 修正コード検出手段
- 18 修正アドレス設定手段
- 19 検査符号

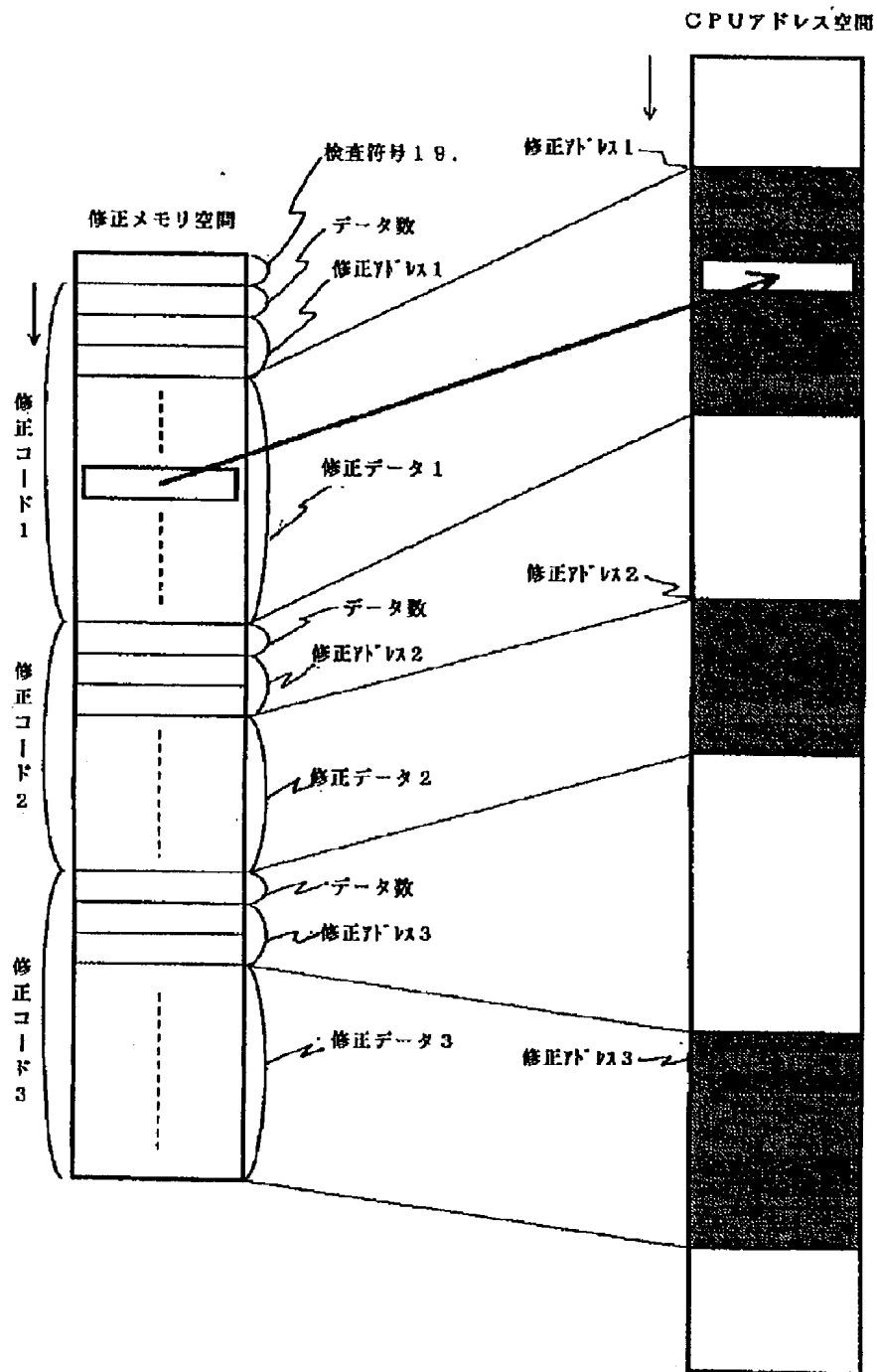
【図1】



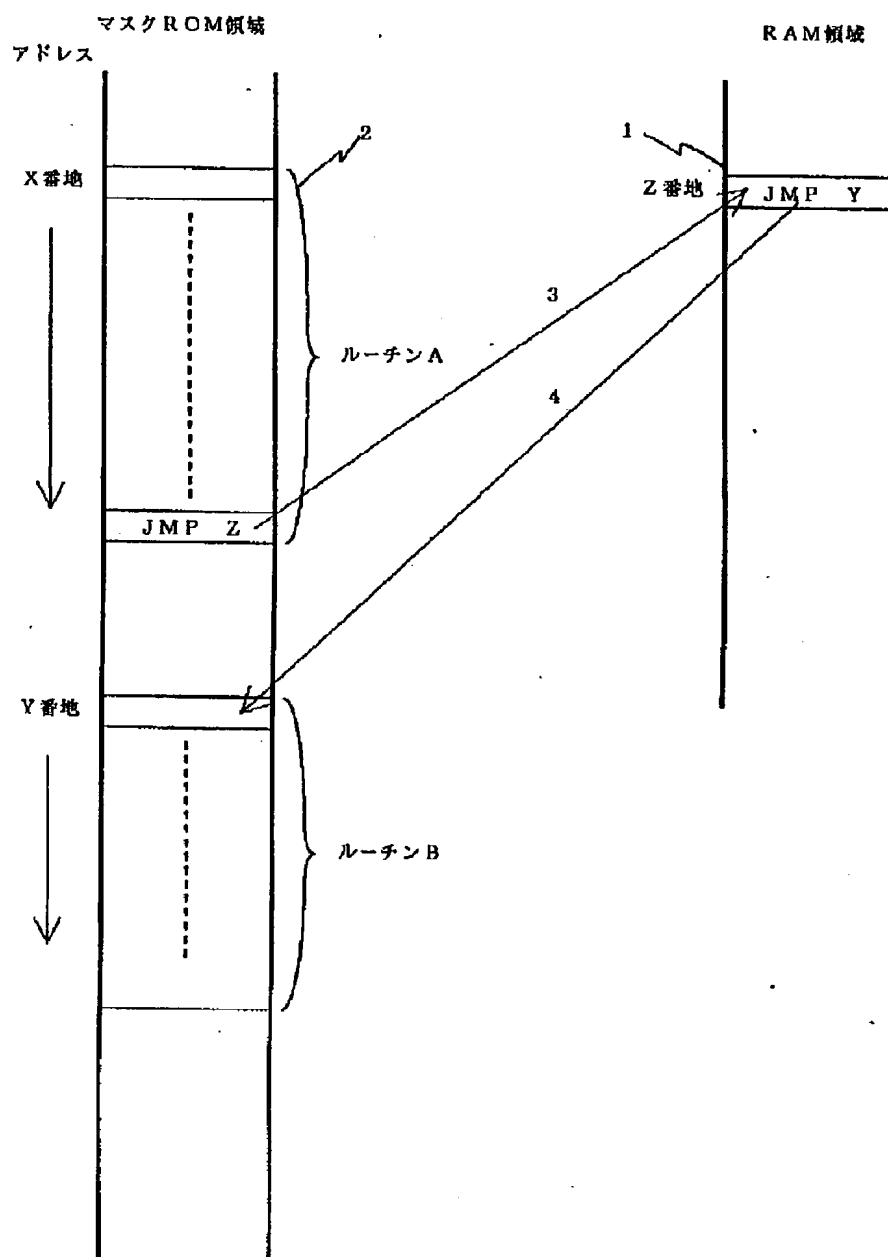
【図2】



【図3】



【図4】



【図5】

